

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-105505

(43)Date of publication of application : 24.04.1998

(51)Int.CI.

G06F 13/18
G09G 3/36
G09G 5/00

(21)Application number : 08-275577

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 26.09.1996

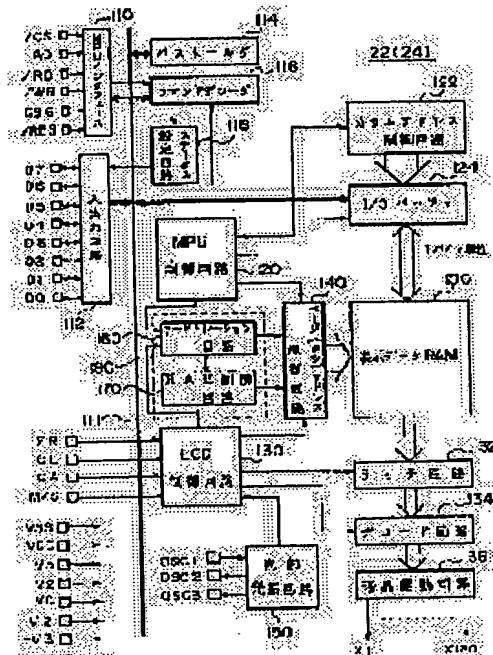
(72)Inventor : KURUMISAWA TAKASHI
ISOZAKI SHINGO

(54) DISPLAY DRIVE CONTROL CIRCUIT, IMAGE DISPLAY DEVICE AND ELECTRONIC EQUIPMENT PROVIDED WITH THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display drive control circuit which can exactly respond to an asynchronous microprocessing unit (MPU) access request and a synchronous access request on the side of a display part.

SOLUTION: Inside a RAM 100, display data to be displayed on the display part are read/written, a 1st access request signal for requesting access to the RAM is outputted to an MPU control circuit 120 according to a command from an MPU, and a 2nd access request signal for requesting access to the RAM is outputted by an LCD control circuit 130 according to display operation at the display part. A memory control circuit 180 makes the 1st and 2nd access request signals preferential in its input order and outputs 1st and 2nd operation start signals for controlling the start of access operation corresponding to these request signals to a page address control circuit 140. Thus, when the shortest time between the 1st and 2nd access request signals is defined as T, every access operation corresponding to the 1st and 2nd access request signals is completed within T/2.



LEGAL STATUS

[Date of request for examination]

20.11.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-105505

(43) 公開日 平成10年(1998)4月24日

(51) Int.Cl. 藏別記号
G 0 6 F 13/18 5 1 0
G 0 9 G 3/36
5/00 5 5 5

F I
G 0 6 F 13/18 5 1 0 A
G 0 9 G 3/36
5/00 5 5 5 P

審査請求 未請求 請求項の数 6 FD (全 13 頁)

(21) 出願番号 特願平8-275577

(71) 出願人 000002369

(22) 出願日 平成8年(1996)9月26日

東京都新宿区西新宿2丁目4番1号

(72)発明者 胡桃澤 季
長野県飯田市大和3丁目3番5号 セイコ
エプソン株式会社内

(72)発明者 碓崎 偵吾
長野県飯田市大和3丁目3番5号 セイコ
エプソン株式会社内

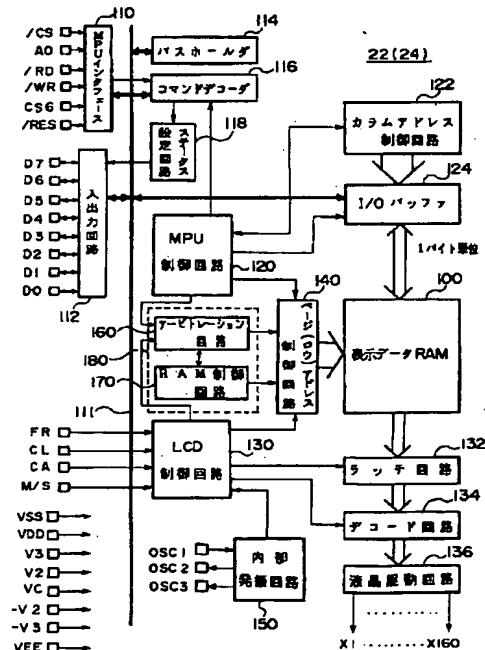
(74) 代理人 弁理士 井上一 (外2名)

(54) 【発明の名称】 表示駆動制御回路及び画像表示装置並びにそれを備えた電子機器

(57) 【要約】 (修正有)

【課題】 非同期的なMPUアクセス要求と、同期的な表示部側のアクセス要求とに的確に応答できる表示駆動制御回路を提供すること。

【解決手段】 RAM100は表示部にて表示される表示データがリード・ライトされ、MPU制御回路120にはMPUからのコマンドに従ってRAMのアクセスを要求する第1のアクセス要求信号を出し、LCD制御回路130は表示部での表示動作に従ってRAMのアクセスを要求する第2のアクセス要求信号を出し、メモリ制御回路180は第1、第2のアクセス要求信号をその入力順に優先させ、これに応じたアクセス動作を開始制御させる第1、第2の動作開始信号をページアドレス制御回路140に出力する。第1、第2のアクセス要求信号間の最短時間をTとしたとき、第1、第2のアクセス要求信号に応じた各々のアクセス動作はT/2以内に終了する。



【特許請求の範囲】

【請求項1】マイクロプロセッサユニットとの間で表示データが入出力され、前記表示データを表示部に表示駆動制御する表示駆動制御回路において、前記表示部にて表示される前記表示データがリード・ライトされるメモリと、前記マイクロプロセッサユニットからのコマンドに従って前記メモリのアクセスを要求する第1のアクセス要求信号を出力するMPU制御回路と、前記表示部での表示動作に従って前記メモリのアクセスを要求する第2のアクセス要求信号を出力するDIS制御回路と、前記第1、第2のアクセス要求信号が入力され、前記第1、第2のアクセス要求信号をその入力順に優先させて、その優先順位に従って前記第1、第2のアクセス要求信号に応じたアクセス動作を前記メモリにて開始制御させる第1、第2の動作開始信号を出力するメモリ制御回路と、を有し、前記第1のアクセス要求信号間の最短時間をTとしたとき、前記第1、第2のアクセス要求信号に応じた各々のアクセス動作は、T/2以内に終了されることを特徴とする表示駆動制御回路。

【請求項2】請求項1において、

前記メモリ制御回路は、前記第1の動作開始信号の出力後T/2以内に発生される第1の動作終了信号に基づいて、T/2以内に前記第1、第2のアクセス要求信号がその順で入力された時に、前記第2の動作開始信号を、前記第1の動作終了信号を待って出力することを特徴とする表示駆動制御回路。

【請求項3】請求項1又は2において、

前記メモリ制御回路は、前記第2の動作開始信号の出力後T/2以内に発生される第2の動作終了信号に基づいて、T/2以内に前記第2、第1のアクセス要求信号がその順で入力された時に、前記第1の動作開始信号を、前記第2の動作終了信号を待って出力することを特徴とする表示駆動制御回路。

【請求項4】請求項1乃至3のいずれかにおいて、前記メモリ制御回路は、前記第1の動作開始信号の出力後T/2以内に発生される第1の動作終了信号に基づいて、T/2以内に前記第1、第2のアクセス要求信号が同時に入力された時に、前記第1の動作開始信号を優先して出力し、前記第2の動作開始信号を、前記第1の動作終了信号を待って出力することを特徴とする表示駆動制御回路。

【請求項5】請求項1乃至4のいずれかに記載の表示駆動制御回路と、

前記表示駆動制御回路によって表示駆動される表示部と、

を有することを特徴とする画像表示装置。

【請求項6】請求項5に記載の画像表示装置を有する

ことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロプロセッサユニット(MPU)との間で表示データが入出力され、液晶表示部等の表示部に表示データを表示駆動制御する表示駆動制御回路並びにそれを用いた画像表示装置及び電子機器に関する。

【0002】

【背景技術及び発明が解決しようとする課題】例えば液晶表示装置を例に挙げれば、MLS(マルチ・ライン・セレクション)あるいはAA(アクティブ・アドレッシング)駆動法では、複数ライン又は全ラインに同時に表示データを供給するために、1フレームの表示データをフレームメモリに書き込んで、各ラインへの印加電圧を演算処理により決定する必要がある。

【0003】ところで、この種の液晶表示装置を組み込んで、パーソナルコンピュータ、プロジェクタなどの電子機器を構成する場合に、この電子機器内に設けられたMPU側にて、液晶表示駆動制御回路との間のデータの入出力のための特殊な回路が必要とされ、この液晶表示駆動制御回路を組み込んで電子機器を製造する際に、ユーザ側に回路構成上の負担がかかっていた。

【0004】ここで、本発明者は、液晶表示駆動制御回路内のフレームメモリに直接アクセスできるようにして、ユーザ側回路の負担を解消することを試みた。

【0005】この場合、図15に示すようにフレームメモリ200が1ポートの場合に、公知のようにスイッチ202を時分割にて切換えて、フレームメモリのポート204を、MPU側のポート206と、液晶表示部側のポート208とに接続することが考えられる。

【0006】しかし、この時分割駆動の場合には、図16に示す問題が生ずる。図16は、スイッチクロックに基づいて時分割駆動を行う例を示している。図16に示すように、スイッチクロックがHIGHとなった途中にMPUアクセスがあった場合には、スイッチクロックがHIGHとなっている残り時間内に、MPUアクセスに対応できない場合が生ずる。この場合には、次にスイッチクロックがHIGHとなる時間まで待って、MPUアクセスを実施しなければならない。

【0007】そこで、本発明は、表示駆動制御回路内のフレームメモリにMPUが直接アクセスできるようにして、ユーザ側回路の負担を解消しながらも、非同期的なMPUアクセス要求と、同期的な表示部側のアクセス要求とに的確に応答できる表示駆動制御回路及び画像表示装置並びにそれを備えた電子機器を提供することにある。

【0008】

【課題を解決するための手段】請求項1の発明は、マイクロプロセッサユニットとの間で表示データが入出力さ

れ、前記表示データを表示部に表示駆動制御する表示駆動制御回路において、前記表示部にて表示される前記表示データがリード・ライトされるメモリと、前記マイクロプロセッサユニットからのコマンドに従って前記メモリのアクセスを要求する第1のアクセス要求信号を出力するMPU制御回路と、前記表示部での表示動作に従って前記メモリのアクセスを要求する第2のアクセス要求信号を出力するDIS制御回路と、前記第1、第2のアクセス要求信号が入力され、前記第1、第2のアクセス要求信号をその入力順に優先させて、その優先順位に従って前記第1、第2のアクセス要求信号に応じたアクセス動作を前記メモリにて開始制御させる第1、第2の動作開始信号を出力するメモリ制御回路と、を有し、前記第1のアクセス要求信号間の最短時間をTとしたとき、前記第1、第2のアクセス要求信号に応じた各々のアクセス動作は、T/2以内に終了されることを特徴とする。

【0009】請求項1の発明によれば、第1、第2のアクセス要求が競合した場合、その入力順に従って優先処理を実施している。このとき、第1のアクセス要求信号間の最短時間をTとしたとき、いずれの要求に応じた処理もT/2以内に終了するので、1番目の第1のアクセス要求の後に最短でT時間経過後に2番目の第1のアクセス要求があつても、その2番目の第1のアクセス要求に対する処理を即座に実施できる。

【0010】請求項2の発明は、請求項1において、前記メモリ制御回路は、前記第1の動作開始信号の出力後T/2以内に発生される第1の動作終了信号に基づいて、T/2以内に前記第1、第2のアクセス要求信号がその順で入力された時に、前記第2の動作開始信号を、前記第1の動作終了信号を待って出力することを特徴とする。

【0011】請求項3の発明は、請求項1又は2において、前記メモリ制御回路は、前記第2の動作開始信号の出力後T/2以内に発生される第2の動作終了信号に基づいて、T/2以内に前記第2、第1のアクセス要求信号がその順で入力された時に、前記第1の動作開始信号を、前記第2の動作終了信号を待って出力することを特徴とする。

【0012】請求項2及び3の発明によれば、T/2以内に前記第1、第2のアクセス要求信号が競合した時に、待機させた側のアクセス要求に応じたアクセス動作を、優先処理の動作終了信号を待って直ちに開始させることができる。

【0013】請求項4の発明は、請求項1乃至3のいずれかにおいて、前記メモリ制御回路は、前記第1の動作開始信号の出力後T/2以内に発生される第1の動作終了信号に基づいて、T/2以内に前記第1、第2のアクセス要求信号が同時に入力された時に、前記第1の動作開始信号を優先して出力し、前記第2の動作開始信号

を、前記第1の動作終了信号を待って出力することを特徴とする。

【0014】MPU側のコマンドを優先することで、MPUの処理の高速化を確保でき、しかも表示部側のためのアクセスの遅れは最大でT/2であるので、表示上の問題はない。

【0015】請求項5及び請求項6の発明は、請求項1乃至4のいずれかに記載の表示駆動制御回路を用いた画像表示装置及び電子機器を定義している。

【0016】

【発明の実施の形態】以下、本発明を液晶表示装置に適用した実施の形態について、図面を参照して具体的に説明する。

【0017】(装置全体の制御系の説明) 図1は、液晶表示パネル及びその表示駆動制御回路を含む電子機器を示している。図1において、液晶表示パネル10は例えば320×240の画素を備え、320本の信号線と240本の走査線との交差によって形成される画素位置には、例えばスッ칭ング素子と液晶とが直列に接続されて画素が形成される。なお、液晶表示パネル10は、画素位置の各液晶層に例えればTFTにて代表される3端子型スイッチング素子、あるいはMIMにてして代表される2端子型スイッチング素子を接続したアクティブマトリックス型液晶表示パネルとしてもよい。あるいは、単純マトリックス型液晶表示パネルであってもよい。

【0018】この液晶表示パネル10を駆動するための表示駆動制御回路は、大別して信号線ドライバ20、走査線ドライバ30、電源回路40及び発振用外付け回路50を有する。

【0019】前記信号線ドライバ(カラムドライバ)20は、320本の信号線にデータ信号を供給するものであり、本実施例では、第1の信号線ドライブIC22と、第2の信号線ドライブIC24とを有する。第1の信号線ドライブIC22は、1～160本目の信号線にデータ信号を供給し、第2の信号線ドライブIC24は、161～320本目の信号線にデータ信号を供給する。なお、本実施例では、最大で4つの信号線ドライブICがカスケード接続可能であり、最大で160×4=640本の信号線を駆動できる。

【0020】この第1、第2の信号線ドライブIC22、24は共に同一の構成を有する。カスケード接続可能な最大4つの信号線ドライブICを第1段～第4段にて使い分けるために、各ICにLR0、LR1の2つの外部端子が設けられ、その外部端子に印加される電位の組合せを異ならせている。第1段目の第1の信号線ドライブIC22は、LR0端子=LR1端子=Lに設定され、第2段目の第2の信号線ドライブIC24は、LR0端子=L、LR1端子=Hに設定されている。図1では示していないが、第3段目の信号線ドライブICは、LR0端子=H、LR1端子=Lに設定され、第4段目

の信号線ドライブICは、LR0端子=HR1端子=Hに設定される。

【0021】走査線ドライバ(ページドライバ)30は、240本の走査線に走査信号を供給するものであり、本実施例では、第1の走査線ドライブIC32と、第2の走査線ドライブIC34とを有する。第1の走査線ドライブIC32は、1~120本目の走査線に走査信号を供給し、第2の走査線ドライブIC34は、121~240本目の走査線に走査信号を供給する。

【0022】信号線ドライバ20及び走査線ドライバ30には、電源回路40より電力が供給され、マイクロプロセッサ(MPU)60より各種コマンド信号及びデータ信号が供給される。

【0023】(信号線ドライブICの説明)次ぎに、共に同一の構成を有する第1、第2の信号線ドライブIC22、24の詳細について、図2を参照して説明する。

【0024】図2は信号線ドライブICに共通な構成を示している。この信号線ドライブICは、表示データRAM100と、この表示データRAM100に対して例えば1バイト単位にて表示データのリード・ライト動作を制御するMPU制御回路120と、表示データRAM100より例えば4ライン分の表示データを読み出し制御して、4ライン同時選択のMLS駆動を可能とするLCD制御回路130とを有する。IC内部のバスライン111には、バス接続用端子として、/CS、A0、/RD、/WR、C86及び/RESが、MPUインターフェース110を介して接続されている。また、このバスライン100には、バス接続用端子としてさらに、D7~D0が入出力回路112を介して接続されている。MPUインターフェース110及び入出力回路112を介して入出力される制御データ、表示データは、バスライン111を介してバスホールド114にて保持可能である。制御データは、コマンドデコーダ116にてデコードされ、ステータス設定回路118及びMPU制御回路120へのコマンドとして用いられる。

【0025】MPU制御回路120は、カラムアドレス制御回路122及びRAM用I/Oバッファ124を制御して、表示データを1バイト単位でRAM100に対してリード・ライトする。

【0026】また、LCD制御回路130は、外部端子FR、CL、CA及びM/Sと接続され、かつ、内部発振回路150と接続されている。このLCD制御回路130は、ラッチ回路132、デコード回路134を駆動制御して、4ライン分の表示データをRAM100より読み出し、液晶表示駆動回路136を介して、前述の液晶表示パネル10の信号線に、MLS駆動用のデータ信号を供給する。なお、ページアドレス制御回路140は、ページアドレスデコーダを有し、MPU制御回路120及びLCD制御回路130の一方からのページアドレスに基づいて、RAM100の1本のワードラインを

アクティブにする。

【0027】上述の各端子の説明は下記の通りである。

【0028】D7~D0…8ビットの双方向性データバスで、8ビット又は16ビットの標準的なMPUのデータバスに接続される。

【0029】A0…MPUのアドレスバスの最下位ビットに接続され、「0」の時にはD7~D0が制御データであることを示し、「1」の時にはD7~D0が表示データであることを示す。

【0030】/RES…リセット信号RESの反転信号が入力され、「L」の時に初期設定される。

【0031】/CS…チップセレクト信号CSの反転信号が入力される。但し、本実施例では、MPUは複数の信号線ドライブIC22、24を一つのICとして認識しているので、チップセレクト反転信号/CSは複数の信号線ドライブICに共通して入力される。従って、/CSがアクティブのときに、全ての信号線ドライブICでは、D7~D0を介してデータの入出力が可能となる。ただし、後述するように、このチップセレクト信号に頼らずに、一つの信号線ドライブICのみとの間で確実なデータ入出力を確保する構成が用いられている。一方、/CSがノンアクティブのときに、全ての信号線ドライブICにてD7~D0がハイ・インピーダンス状態とされる。

【0032】/RD、/WR、C86…80系MPU接続時と68系MPU接続時とで使い分けられる端子であり、リード、ライトタイミングなどを決定する。

【0033】M/S…カスケード接続された複数の信号線ドライブICのマスター/スレイブ動作を選択する端子である。信号線ドライブICが1段目に使用される場合がマスター動作であり、このときM/S端子=Hとなる。信号線ドライブICが2段目以降に使用される場合がスレイブ動作であり、このときM/S端子=Lとなる。信号線ドライブICは、マスター動作の時に液晶表示に必要な信号を出し、スレイブ動作の時に液晶表示に必要な信号を入力することで、液晶表示系の同期がとられる。

【0034】CL…表示クロック入出力端子であり、マスター動作の時にクロックが出力され、スレイブ動作の時にそのクロックが入力される。

【0035】FR…液晶交流化信号の入出力端子であり、マスター動作の時に液晶交流化信号が出力され、スレイブ動作の時にその液晶交流化信号が入力される。

【0036】CA…フレーム走査スタート信号の入出力端子であり、マスター動作の時にフレーム走査スタート信号が出力され、スレイブ動作の時にそのフレーム走査スタート信号が入力される。

【0037】OSC1~3…信号線ドライブICが第1段目に使用されるマスター動作の場合に、内部発振回路150を動作させるための端子である。この場合、図1

に示すように抵抗RとキャパシタCとから成る発振用外付け回路50が接続され、 $f = 1 / (2 \cdot 2 \times C \times R)$ (Hz) のクロックが発振可能となり、内部発振回路150より出力される。このクロックは、LCD制御回路130内部でLCD表示するためのクロックCLとなる。信号線ドライブICが第2段目以降に使用されるスレーブ動作の場合には、内部発振回路150は動作せず、CL信号がCL端子より入力される。

【0038】(RAM及びその周辺回路の説明) 本実施例は、4ライン同時選択のMLS駆動を実施するため、図3(A)に示す液晶表示パネル10の320×240画素の表示アドレス空間に対して、一つの信号線ドライブIC内のRAM100のメモリアドレス空間が図3(B)に示す通りに異なっている。図3(B)のメモリアドレス空間は、ページ方向のメモリセルの数が、 240 (本) $\div 8$ (ビット) = 30個であるのに対し、カラム方向のメモリセルの数は、 320 (本) $\times 8$ (ビット) $\div 2$ (ICの数) = 1280個となっている。なお、図3(B)のメモリアドレス空間において、ページアドレスを[0, 1, 2…29]とする。図3(B)のカラム方向では、本実施例が1バイト単位でデータのリード・ライトを行うため、カラムアドレスの数は、 $1280 \div 8 = 160$ である。本実施例では、第1段目の信号線ドライブIC22内のRAM100のカラムアドレスを[0, 1, 2, …159]とする。第2段目の信号線ドライブIC24内のRAM100のカラムアドレスを[160, 161, …319]とする。なお、最大4個の信号線ドライブICをカスケード接続した場合には、カラムアドレス値の最大は[639]となる。

【0039】図4は、RAM100及びその周辺回路の回路図であり、30本のワードラインWL1～WL30と、1280列のビット線対BL, /BLにはそれぞれメモリセル102が接続されている。

【0040】図2に示すRAM用I/Oバッファ124に接続された16本のバスラインは、図4に示すように、それぞれのカラムスイッチ104を介して1280列のビット線対BL, /BLに接続されている。

【0041】図2に示すカラムアドレス制御回路122は、図4に示す通り、一つのトランスマスファーゲート106に接続された8つのカラムスイッチ104を同時にオン・オフするための160個のカラムアドレスデコーダ122Aを有する。この各々のカラムアドレスデコーダ122Aは、MPU系制御回路120からの10ビットのカラムアドレスと、2つの外部端子LR0, LR1の2ビットの論理とをデコードして、8つのカラムスイッチ104を同時にオン・オフする。各々のカラムアドレスデコーダ122Aは、マスクROMとして、各信号線ドライブICで共通となっているが、2つの外部端子LR0, LR1の設定電位が信号ドライブIC毎に変更されている。これにより、1～160番目のカラムアドレス

を第1段目の信号ドライブIC22にてデコードでき、161～320番目のカラムアドレスを第2段目の信号ドライブIC24にてデコードできる。そして、いずれか一つのカラムデコーダ122Aから「L」が出力されると、インバータ108の出力「H」と、カラムコントロール信号(CALCTL)の信号「H」とにより、一つのトランスマスファーゲート106がオンされ、それに接続された8つのカラムスイッチ104が同時にオンする。

【0042】図2に示すラッチ回路132は、図4に示す通り、ラッチ信号SEL Rとその反転信号/SEL Rによってオン・オフされるスイッチ132Aと、その出力をラッチするラッチ用ゲート回路132Bとを有する。この構成により、ページアドレス制御回路140により例えば第1行目のワードラインWL1がアクティブとされた場合には、ラッチ信号SEL Rがアクティブとされることで、図3(A)の表示空間上での第1～第4ラインに接続された画素データが同時にラッチされる。同様に、ラッチ反転信号/SEL Rがアクティブの時に、図3(A)の表示空間上での第5～第8ラインに接続された画素データが同時にラッチされる。アクティブされるワードラインをページアドレス制御回路140にて切り換えることで、全ワードラインに接続されたメモリセル102のデータが、4ラインずつ順次ラッチされることになる。

【0043】図2に示すデコーダ回路134は、4ライン同時選択のMLS駆動用の信号にデコードするもので、図4に示すPR(デコード回路をプリチャージするための信号)、FR(液晶交流化信号)及びF1, F2(MLSのパターンを区別するためのフィールド信号)に基づいてラッチ出力をデコードする。

【0044】図2に示す液晶駆動回路136は、図4に示すように、デコーダ回路134の出力と、各種電圧とから、信号線に印加される信号電圧を決定する。

【0045】(入出力回路112の入出力端をハイインピーダンスとする構成について) 図4に示すモニタ回路200は、160個のインバータ108の出力がそれぞれベースに印加される160個のN型トランジスタ202と、1本の共通接続線204とを有する。いずれか一つのカラムアドレスデコーダ122Aより「L」が出力されると、それに接続された一つのインバータ108の出力「H」により一つのN型トランジスタ202がオンされ、共通接続線204の電位は「L」(接地電位)となる。

【0046】モニタ回路200はさらに、160個のN型トランジスタ202が接続された共通接続線204の最終段に、一つのモニタ用インバータ206を有する。このため、モニタ回路200の出力として「H」が得られた時、2つの信号ドライバ22, 24のいずれかにて、データのリード又はライトを実施しているかがモニタできる。

【0047】モニタ回路200はさらに、共通接続線204の電位を「H」にプリチャージするためのプリチャージ回路210を有する。このプリチャージ回路210は、2つのP型トランジスタ214、216から成るトランジスタゲート212を有する。そして、データのリード又はライトの前に、カラムコントロール信号(CALCTL)の「L」により、P型トランジスタ214がオンされ、共通接続線204がプリチャージされる。このとき、モニタ用インバータ214により「L」が出力されるので、P型トランジスタ216もオンする。従って、カラムコントロール信号(CALCTL)が「H」となつても、いずれか一つのカラムデコーダ136Aより「L」が出力されない限り、P型トランジスタ216によって共通接続線204の電位が「H」に維持される。このようにして、いずれか一つのカラムデコーダ136Aより「L」が出力されない限り、モニタ回路200の出力は「L」となり、誤検出を防止できる。

【0048】(RAM100の時分割駆動について)本実施例では、MPU及びLCD側からのRAM100のアクセス要求に対して、RAM100を時分割駆動するために、図2に示すように、アビトレーション回路160とRAM制御回路170とを含むメモリ制御回路180を設けている。アビトレーション回路160には、MPU制御回路120からのMPUアクセス要求信号(第1のアクセス要求信号)と、LCD制御回路130からのLCDアクセス要求信号(第2のアクセス要求信号)と、RAM制御回路170からのMPUアクセス終了信号(第1の動作終了信号)及びLCDアクセス終了信号(第2の動作終了信号)とが入力される。アビトレーション回路160は、上記の入力信号に基づいて、ページアドレス制御回路140及びRAM制御回路170に対して、MPUアクセス開始信号(第1の動作開始信号)及びLCDアクセス開始信号(第2動作開始信号)を時分割で出力する。

【0049】ページアドレス制御回路140は、MPU制御回路120からのページアドレスと、LCD制御回路130からのページアドレスとが競合した場合、アビトレーション回路160からのいずれか一方の開始信号に基づいて、対応する一方のページアドレスを選択する。

【0050】RAM制御回路170は、アビトレーション回路160より開始信号を入力すると、ページアドレス制御回路140にて選択されたページアドレスに基づいて選択されるワード線をアクティブにさせる開始タイミングを決定する。

【0051】RAM制御回路170の他の機能として、上述したMPUアクセス終了信号及びLCDアクセス終了信号を発生させる機能がある。MPUアクセス終了信号は、MPUアクセス開始信号の出力後所定時間経過後に発生する。同様に、LCDアクセス終了信号は、LC

Dアクセス開始信号の出力後所定時間経過後に発生する。

【0052】RAM制御回路170は、入力されるMPUアクセス開始信号及びLCDアクセス開始信号を所定時間遅延させることで、MPUアクセス終了信号及びLCDアクセス終了信号を発生させている。これに限らず、他の方法で上記終了信号を発生させても良い。なお、上述の所定時間については後述する。

【0053】図1のアビトレーション回路160の一例を図5に示す。以下、図5のアビトレーション回路とその動作について、下記の通り場合分けして説明する。

【0054】(MPUアクセス要求のみ入力された場合)MPUアクセス要求のみあった場合について、図5を参照して説明する。

【0055】まず、図5に示すリセット信号(RES T)が「L」になることで、図5に示す全てのフリップフロップFF1～FF4がリセットされる。上記の場合には、MPUアクセス要求信号(MPUREC)が「H」となり、LCDアクセス要求信号(LCDREC)、MPUアクセス終了信号(MPUEND)及びLCDアクセス終了信号(LCDEND)は全て「L」である。

【0056】MPUアクセス要求信号(MPUREC)が「H」となることで、第2のフリップフロップFF2の出力Qが「H」になる。このとき、LCDアクセス要求信号(LCDREC)が「L」であるから、第1、第3、第4のフリップフロップFF1, FF3, FF4のQ出力はそれぞれ「L」となっている。ここで、第10のアンドゲートAND10の一方の入力として、MPUアクセス要求信号(MPUREC)の論理「H」が、第2アンドゲートAND2、第3の遅延線DL3及び第6の遅延線DL6を介して入力される。第10のアンドゲートAND10の他方の入力として、第3のフリップフロップFF3のQ出力「L」の反転信号「H」が入力されるため、第10のアンドゲートAND10の出力が「H」となる。

【0057】このため、第11のアンドゲートAND11の一方の入力端には、第2のオアゲートOR2の出力「H」が入力される。第11のアンドゲートAND11の他方の入力端には、第8のアンドゲートAND8の出力が反転して入力される。ここで、上述した通り、第3のフリップフロップFF3のQ出力は「L」であるので、これを入力する第8のアンドゲートAND8の出力も「L」である。従って、第11のアンドゲートAND11の出力は「H」となり、第3のオアゲートOR3を介して、MPUアクセス開始信号(MPUSTART)がアクティブとなる。

【0058】上記のようにして、MPUアクセス要求信号のための第1のスルーリング路が成立してMPUアクセス

開始信号 (MPU START) がアクティブとなることで、MPU 60 からのコマンドに従って RAM 100 がアクセスされる。この結果、1 バイト単位でのデータのリード又はライトが実行される。この後、RAM 制御回路 170 により MPU アクセス終了信号 (MPU END) が「H」とされる。

【0059】(LCD アクセス要求のみ入力された場合) 次ぎに、LCD アクセス要求信号 (LCD REC) の「H」が、第4、第5の遅延線 DL4、5 を介して、第7のアンドゲート AND 7 の一方の入力端に入力する。第7のアンドゲート AND 7 の他方の入力は、第4 のフリップフロップ FF7 の Q 出力が反転して入力される。ここで、第4 のフリップフロップ FF4 の入力端子 D には、第2 のフリップフロップ FF2 の「L」が入力されるので、第4 のフリップフロップ FF4 の Q 出力は「L」のままである。従って、第7のアンドゲート AND 7 から「H」が出力され、第1 のオアゲート OR 1 を介して、LCD アクセス開始信号 (LCD START) がアクティブとなる。

【0060】上記のようにして、LCD アクセス要求信号のための第2のスルー経路が成立して LCD アクセス開始信号 (LCD START) がアクティブとなることで、RAM 100 より液晶表示パネル 10 の4走査ライン分のデータの読み出しが実行される。この後、RAM 制御回路 170 により LCD アクセス終了信号 (LCD END) が「H」とされる。

【0061】(MPU アクセス要求、LCD アクセス要求の順で入力された場合) 次ぎに、MPU アクセス要求信号 (MPUREC) と LCD アクセス要求信号 (LCDREC) とが連続して入力した場合について、図5及び図6を参照して説明する。

【0062】図6は、まず MPU アクセス要求信号 (MPUREC) が入力され、続いて LCD アクセス要求信号 (LCDREC) が入力された場合の図5の回路の動作を示している。

【0063】このときには、まず、MPU アクセス要求信号 (MPUREC) のための第1のスルー経路が成立し、上述した通り、MPU アクセス開始信号 (MPU START) がアクティブとなる。

【0064】この時には、LCD アクセス要求信号 (LCDREC) のための第2のスルー経路は成立しない。この理由は下記の通りである。すなわち、MPU アクセス要求信号 (MPUREC) が「H」となることで、第2のフリップフロップ FF2 の Q 出力が「H」となる。しかも LCD アクセス要求信号 (LCDREC) が「H」となることで、第4のフリップフロップ FF4 の Q 出力も「H」となる。従って、第4のフリップフロップ FF4 の Q 出力の反転信号「L」を入力する第7のアンドゲート AND 7 は、その出力が「L」となり、第2のスルー経路は成立しない。

【0065】このとき、MPU アクセス終了信号 (MPU END) が「L」であるので、これを入力する第6のアンドゲート AND 6 の出力は「L」である。従って、第1のオアゲート OR 1 の出力は「L」のままであり、この経路においても LCD アクセス開始信号 (LCD START) は「L」である。

【0066】上述の説明から明らかなように、LCD アクセス開始信号 (LCD START) が「H」となるには、MPU アクセス終了信号 (MPU END) が「H」となった時であり、上述の動作から、RAM 100 が MPU 側と LCD 側とで時分割で駆動される。

【0067】(LCD アクセス要求、MPU アクセス要求の順で入力された場合) 次ぎに、LCD アクセス要求信号 (LCDREC) がまず入力され、続いて MPU アクセス要求信号 (MPUREC) とが入力した場合について説明する。

【0068】図7は、まず LCDU アクセス要求信号 (LCDREC) が入力され、続いて MPU アクセス要求信号 (MPUREC) が入力された場合の図5の回路の動作を示している。

【0069】このときには、LCD アクセス要求信号 (LCDREC) の第2のスルー経路が成立し、上述した通り、LCD アクセス開始信号 (LCD START) がアクティブとなる。

【0070】このとき、MPU アクセス要求信号 (MPUREC) の第1のスルー経路は成立せず、その理由は下記の通りである。すなわち、LCD アクセス要求信号 (LCDREC) 及び MPU アクセス要求信号 (MPUREC) が順次「H」となることで、第1、第3のフリップフロップ FF1、3 の Q 出力が「H」となる。第3のフリップフロップ FF3 の Q 出力「H」の反転信号「L」を入力する第10のアンドゲート AND 10 の出力は「L」となるからである。

【0071】ここで、LCD アクセス終了信号 (LCD END) が「H」となると、第1のインバータ IND1、第1のアンドゲート AND 1 及び第4のインバータ IND4 を経由した信号「H」が、第5のアンドゲート AND 5 の一方の入力端に入力される。第5のアンドゲート AND 5 の他方の入力端には、第3のフリップフロップ FF3 の Q 出力「H」が入力されるため、第5のアンドゲート AND 5 の出力が「H」となる。この第5のアンドゲート AND 5 の出力「H」は、第9のアンドゲート AND 9 の一方の入力端に入力される。第9のアンドゲート AND 9 の他方の入力端には、第3のフリップフロップ FF3 の Q 出力「H」が入力されるため、第9のアンドゲート AND 9 の出力が「H」となる。従って、第2のオアゲート OR 2 より「H」が出力される。一方、第4のフリップフロップ FF4 の出力は「L」であるから、第11のアンドゲート AND 11 より「H」が出力され、第3のオアゲート OR 3 を介して、MPU

アクセス開始信号 (MPU START) がアクティブとなる。

【0072】(MPUアクセス要求及びLCDアクセス要求が同時入力の場合) 次ぎに、MPUアクセス要求及びLCDアクセス要求が同時入力の場合について説明する。この場合には、MPUアクセス要求信号 (MPUREC) 及びLCDアクセス要求信号 (LCDREC) が「H」となることで、第1～第4のフリップフロップF1～FF4のQ出力が「H」となる。

【0073】従って、第1、第2のスルーブルーリングは成立しない。このときには、第8のアンドゲートAND8の出力が「H」となり、第12のアンドゲートAND12及び第3のオアゲートOR3を経由して、MPUアクセス開始信号 (MPUSTART) がアクティブとなる。

【0074】その後、MPUアクセス終了信号 (MPUEND) が「H」となるのを待って、これを入力する第6のアンドゲートAND6の出力が「H」なる。従って、第1のオアゲートOR1の出力が「H」となり、LCDアクセス開始信号 (LCDSTART) がアクティブとなる。

【0075】(アクセス要求の処理について) 図8及び図9は、それぞれMPUアクセス要求信号及びLCDアクセス要求信号が前後して入力された場合の、RAM100に対する時分割アクセスタイムを示している。図8において、1番目のMPUアクセス要求の立ち上がりと2番目のMPUアクセス要求の立ち上がりまでの時間は、非同期のMPUアクセス要求間の最短時間をT1として示している。この時間T1はMPU60にて定められる時間である。従って、この時間T1よりも短い時間内に2つのMPUアクセス要求信号が連続することはない。

【0076】図8及び図9いずれの場合も、T1/2以内にMPUアクセス要求信号及びLCDアクセス要求信号が入力されたときに、最初のアクセス開始指令からT1/2以下の時間でいずれか先着のアクセス要求信号に基づきRAM100をアクセスし、その後のT1/2以下の時間で他方のアクセス要求信号に基づきRAM100をアクセスしている。

【0077】ここで、本実施例では、時間T1は500nSであり、2MHzのアクセス周波数である。これに対して、図2のラッチ回路132でのラッチ周波数は例えば14.4のkHzであり、LCDアクセス要求間の時間T2は69.4μSである。このように、LCDアクセス要求信号間の時間T2は、非同期のMPUアクセス要求信号間の最短時間をT1よりも十分に長い。従って、図8及び図9の通りアクセス処理時間を定義しておけば、2つのアクセス要求を効率よく処理できる。

【0078】(電子機器の説明) 上述の実施例の液晶表示装置を用いて構成される電子機器は、図10に示す表示情報出力源1000、表示情報処理回路1002、表

示駆動回路1004、液晶パネルなどの表示パネル106、クロック発生回路1008及び電源回路1010を含んで構成される。表示情報出力源1000は、ROM、RAMなどのメモリ、テレビ信号を同調して出力する同調回路などを含んで構成され、クロック発生回路1008からのクロックに基づいて、ビデオ信号などの表示情報を出力する。表示情報処理回路1002は、クロック発生回路1008からのクロックに基づいて表示情報を処理して出力する。この表示情報処理回路1002は、例えば増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路あるいはクランプ回路等を含むことができる。表示駆動回路1004は、走査側駆動回路及びデータ側駆動回路を含んで構成され、液晶パネル1006を表示駆動する。表示駆動回路1004中のデータ側駆動回路が、上述の信号線ドライブIC22、24を含んでいる。電源回路1010は、上述の各回路に電力を供給する。

【0079】このような構成の電子機器として、図11に示す液晶プロジェクタ、図12に示すマルチメディア対応のパーソナルコンピュータ(PC)及びエンジニアリング・ワークステーション(EWS)、図13に示すページャ、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などを挙げることができる。

【0080】図11に示す液晶プロジェクタは、透過型液晶パネルをライトバルブとして用いた投写型プロジェクタであり、例えば3板プリズム方式の光学系を用いている。図11において、プロジェクタ1100では、白色光源のランプユニット1102から射出された投写光がライトガイド1104の内部で、複数のミラー1106および2枚のダイクロイックミラー1108によってR、G、Bの3原色に分けられ、それぞれの色の画像を表示する3枚の液晶パネル1110R、1110Gおよび1110Bに導かれる。そして、それぞれの液晶パネル1110R、1110Gおよび1110Bによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。ダイクロイックプリズム1112では、レッドRおよびブルーBの光が90°曲げられ、グリーンGの光が直進するので各色の画像が合成され、投写レンズ1114を通してスクリーンなどにカラー画像が投写される。

【0081】図12に示すパーソナルコンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示画面1206とを有する。

【0082】図13に示すページャ1300は、金属製フレーム1302内に、液晶表示基板1304、バックライト1306aを備えたライトガイド1306、回路基板1308、第1、第2のシールド板1310、13

12、2つの弹性導電体1314、1316、及びフィルムキャリアテープ1318を有する。2つの弹性導電体1314、1316及びフィルムキャリアテープ1318は、液晶表示基板1304と回路基板1308とを接続するものである。

【0083】ここで、液晶表示基板1304は、2枚の透明基板1304a、1304bの間に液晶を封入したもので、これにより少なくともドットマトリクス型の液晶表示パネルが構成される。一方の透明基板に、図10に示す駆動回路1004、あるいはこれに加えて表示情報処理回路1002を形成することができる。液晶表示基板1304に搭載されない回路は、液晶表示基板の外付け回路とされ、図13の場合には回路基板1308に搭載できる。

【0084】図13はページャの構成を示すものであるから、液晶表示基板1304以外に回路基板1308が必要となるが、電子機器用の一部品として液晶表示装置が使用される場合であって、透明基板に表示駆動回路などが搭載される場合には、その液晶表示装置の最小単位は液晶表示基板1304である。あるいは、液晶表示基板1304を筐体としての金属フレーム1302に固定したものを、電子機器用の一部品である液晶表示装置として使用することもできる。さらに、バックライト式の場合には、金属製フレーム1302内に、液晶表示基板1304と、バックライト1306aを備えたライトガイド1306とを組み込んで、液晶表示装置を構成することができる。これらに代えて、図14に示すように、液晶表示基板1304を構成する2枚の透明基板1304a、1304bの一方に、金属の導電膜が形成されたポリイミドテープ1322に、信号線ドライブICなどのICチップ1324を実装したTCP(Tape Carrier Package)1320を接続して、電子機器用の一部品である液晶表示装置として使用することもできる。

【0085】なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、本発明は上述の各種の液晶パネルの駆動に適用されるものに限らず、エレクトロルミネッセンス、プラズマディスプレー装置にも適用可能である。

【0086】

【図面の簡単な説明】

【図1】本発明を適用した液晶表示装置を含む電子機器のブロック図である。

【図2】図1に示す信号線ドライバの構成を示すブロック図である。

【図3】(A)は図1の液晶表示パネルの表示空間アドレスを示す概略説明図であり、(B)は図1に示す信号線ドライブIC内のRAMの画素アドレスを示す概略説明図である。

【図4】図2に示すRAM及びその周辺回路を示す回路図である。

【図5】図2に示すアービトレーション回路の回路図である。

【図6】MPUアクセス要求信号、LCDアクセス要求信号がその順で入力された場合の図5の回路の動作を説明するためのタイミングチャートである。

【図7】LCDアクセス要求信号、MPUアクセス要求信号がその順で入力された場合の図5の回路の動作を説明するためのタイミングチャートである。

【図8】LCDアクセス要求信号、MPUアクセス要求信号がその順で入力された場合のアクセス処理時間説明するための概略説明図である。

【図9】MPUアクセス要求信号、LCDアクセス要求信号がその順で入力された場合のアクセス処理時間説明するための概略説明図である。

【図10】本発明が適用される電子機器のブロック図である。

【図11】本発明が適用されるプロジェクトの概略説明図である。

【図12】本発明が適用されるパーソナルコンピュータの外観図である。

【図13】本発明が適用されるページャの分解斜視図である。

【図14】外付け回路を備えた画像表示装置の一例を示す概略説明図である。

【図15】1ポートRAMのスイッチによる時分割のポート切り換えを模式的に示す概略説明図である。

【図16】図15に示す時分割のポート切り換えの場合の問題点を説明するための概略説明図である。

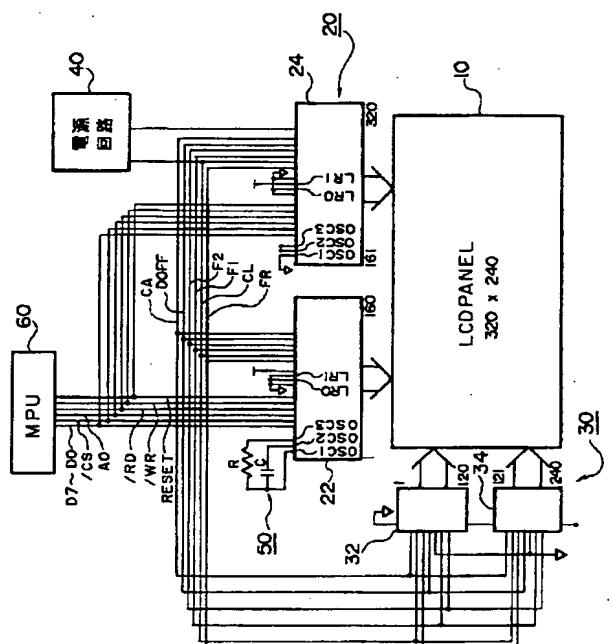
【符号の説明】

- 10 液晶表示パネル
- 20 信号線ドライバ
- 22 第1の信号線ドライブIC
- 24 第2の信号線ドライブIC
- 30 走査線ドライバ
- 32、34 走査線ドライブIC
- 40 電源回路
- 50 発振用外付け回路
- 60 MPU
- 100 表示データRAM
- 102 メモリセル
- 104 カラムスイッチ
- 106 トランスマルチплексор
- 108 インバータ
- 110 MPUインターフェース
- 111 バスライン
- 112 入出力回路
- 114 バスホールダ
- 116 コマンドデコーダ

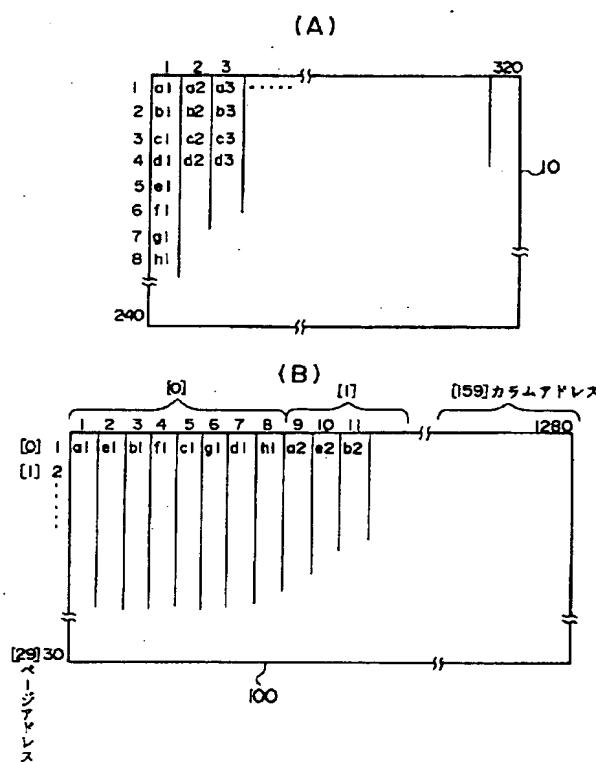
118 ステータス設定回路
 120 MPU制御回路
 122 カラムアドレス制御回路
 124 I/Oバッファ
 130 LCD制御回路
 132 ラッチ回路
 134 デコード回路

136 液晶駆動回路
 140 ページアドレス制御回路
 150 内部発振回路
 160 アビトレーション回路
 170 RAM制御回路
 180 メモリ制御回路

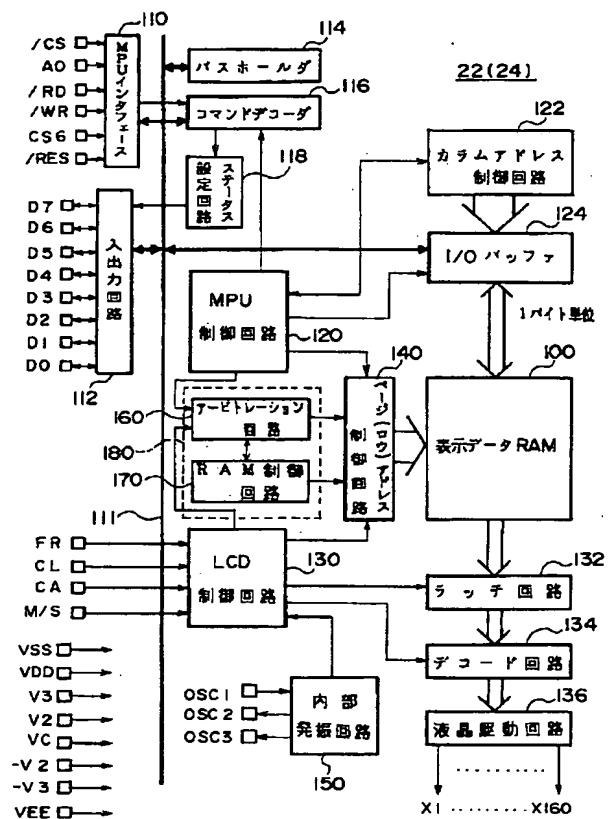
【図1】



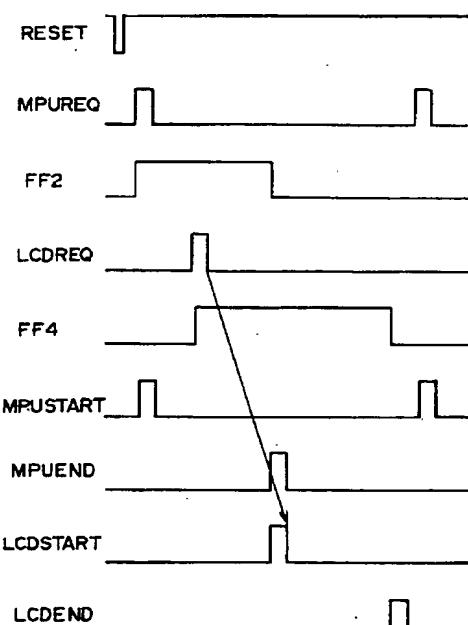
【図3】



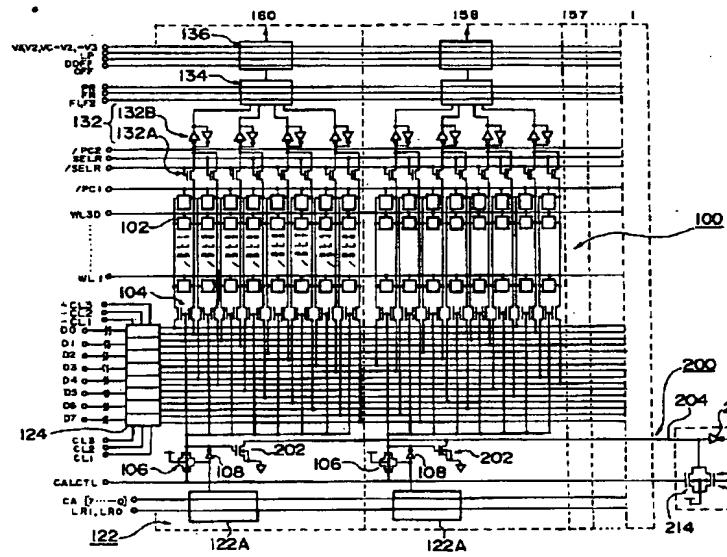
【図2】



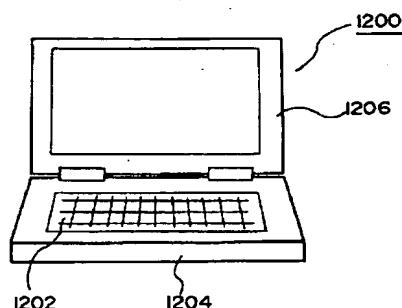
【図6】



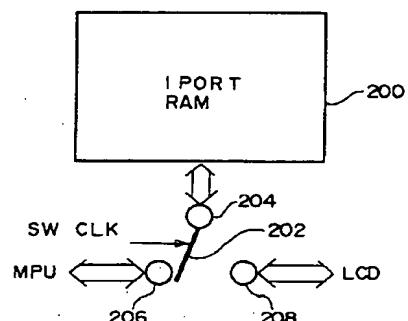
【図4】



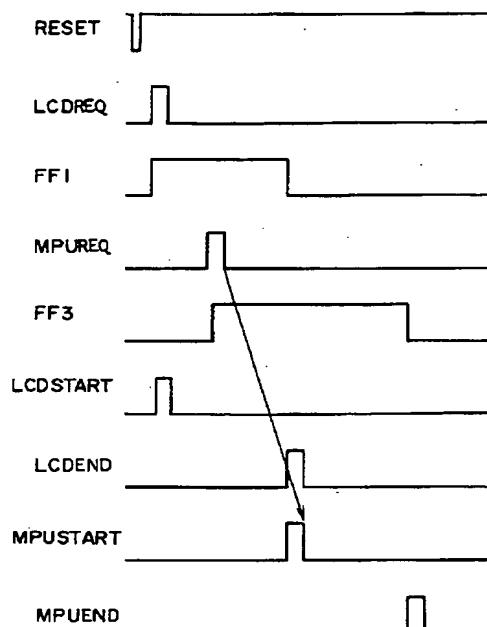
【図12】



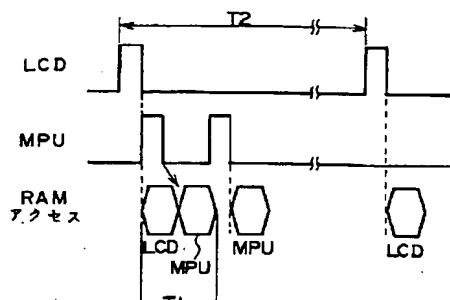
【図15】



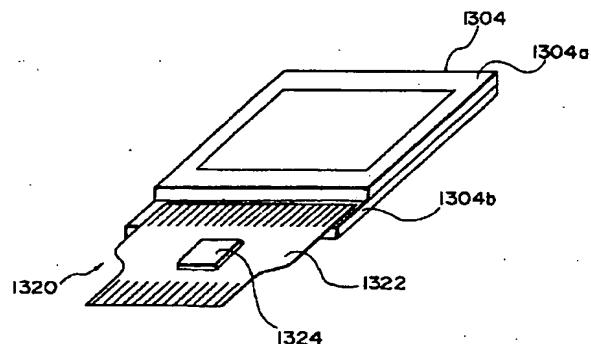
【図7】



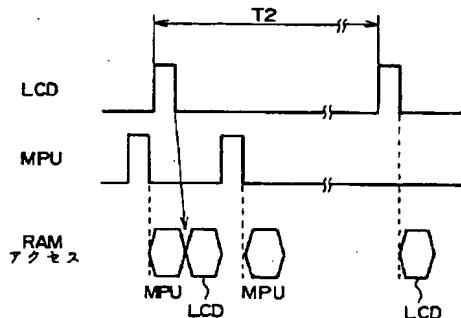
【図8】



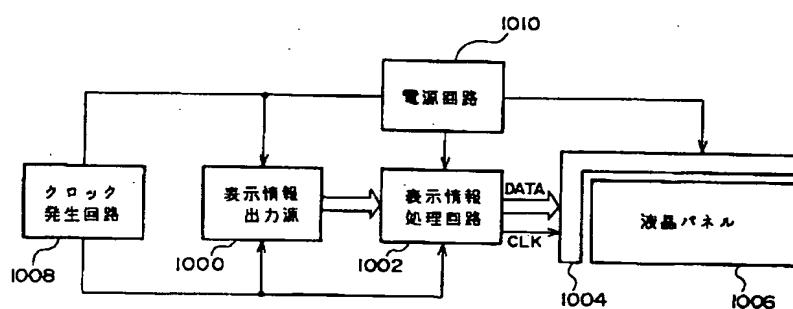
【図14】



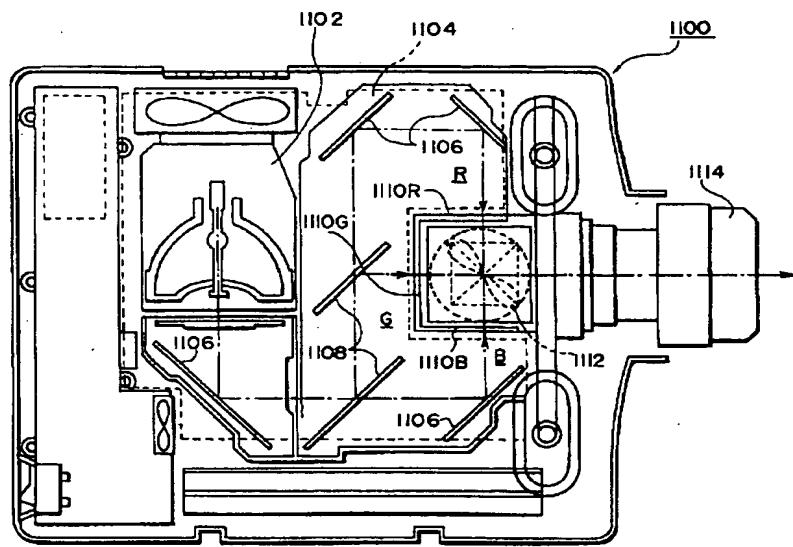
【図9】



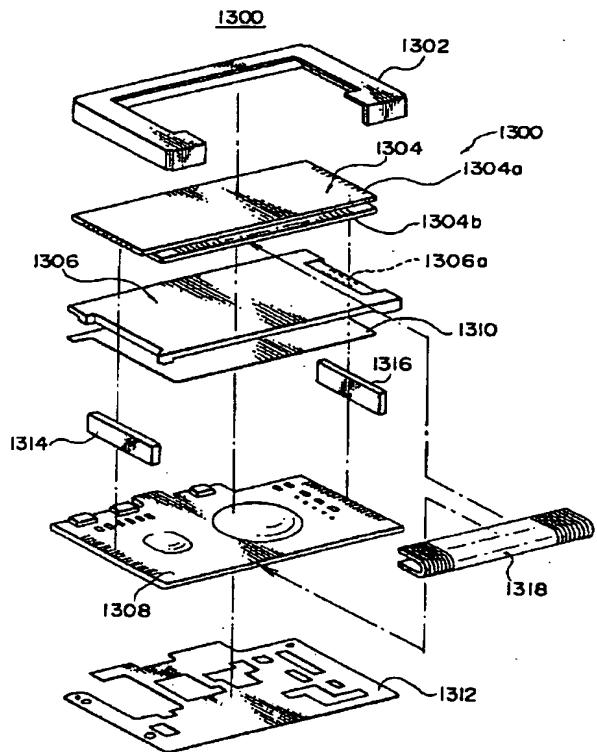
【図10】



【图11】



【图13】



【図16】

